

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-234067**

(43)Date of publication of application : **27.08.1999**

(51)Int.CI.

H03G 3/10

H03F 3/68

(21)Application number : **10-036402**

(22)Date of filing : **18.02.1998**

(71)Applicant : **KYOCERA CORP**

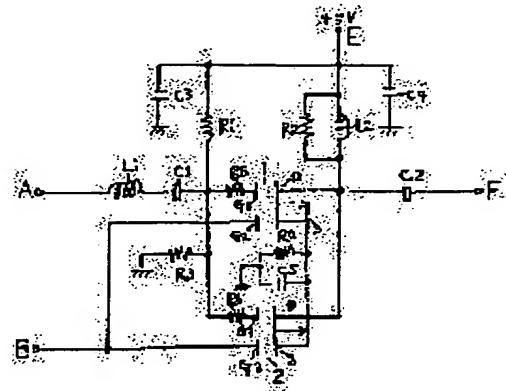
(72)Inventor : **YOKOYAMA AKIRA**

(54) LEVEL ATTENUATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a level attenuator capable of withstanding against the high input of 0dBm.

SOLUTION: A level attenuator is constituted of a dual gate FET having a first gate terminal inputting a high frequency signal, a second gate terminal applying control voltage, and a drain terminal outputting the high frequency signal attenuated based on control voltage. The two dual gates FETS are provided. The level attenuator is constituted of the parallel connection of the first gate terminals, the second gate terminals and the drain terminals.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-234067

(43) 公開日 平成11年(1999)8月27日

(51) Int. C1.^e
 H 03 G 3/10
 H 03 F 3/68

識別記号

F I
 H 03 G 3/10
 H 03 F 3/68

C
B

審査請求 未請求 請求項の数1 O L

(全4頁)

(21) 出願番号 特願平10-36402

(22) 出願日 平成10年(1998)2月18日

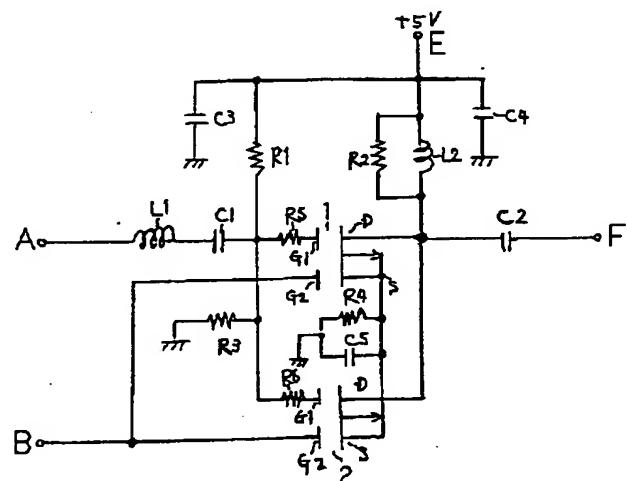
(71) 出願人 000006633
 京セラ株式会社
 京都府京都市伏見区竹田鳥羽殿町6番地
 (72) 発明者 横山 晃
 神奈川県横浜市都筑区加賀原2丁目1番1号
 京セラ株式会社横浜事業所内

(54) 【発明の名称】 レベルアッテネータ

(57) 【要約】

【課題】 減衰量のリニアリティが良好である従来のレベルアッテネータは、0 dBmの高入力に耐えることができない。

【解決手段】 高周波信号を入力する第1ゲート端子と制御電圧を印加する第2ゲート端子と当該制御電圧に基いて減衰される前記高周波信号を出力するドレイン端子とを有するデュアルゲートFETで構成したレベルアッテネータにおいて、前記デュアルゲートFETを2個具備し、第1ゲート端子同士及び第2ゲート端子同士、さらにドレイン端子同士を接続した両デュアルゲートFET同士のパラレル接続で構成した。



【特許請求の範囲】

【請求項1】高周波信号を入力する第1ゲート端子と制御電圧を印加する第2ゲート端子と当該制御電圧に基いて減衰される前記高周波信号を出力するドレイン端子とを有するデュアルゲートFETで構成したレベルアッテネータにおいて、前記デュアルゲートFETを2個具備し、第1ゲート端子同士及び第2ゲート端子同士、さらにドレイン端子同士を接続した両デュアルゲートFET同士のパラレル接続で構成したことを特徴とするレベルアッテネータ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は高周波信号のレベルアッテネータに関し、特にデュアルゲートFET（電界効果トランジスタ）を用いたレベルアッテネータに関する。

【0002】

【従来技術】図3は本出願人による設計の従来のデュアルゲートFETを用いたレベルアッテネータである。1はデュアルゲートFET、高周波信号は入力端子Aから50オームのマッチング回路（コイルL1及びコンデンサC1）を介し第1ゲートG1に入力される。高周波信号の減衰量は制御端子Bから制御電圧（0～5V）を第2ゲートG2に印加してコントロールする。減衰された高周波信号はドレイン端子DからコンデンサC2を介して出力される。電源端子Eからは電圧5Vが印加され抵抗R2（50オーム）及びコイルL2を並列接続した負荷を介してドレイン端子Dに電源電圧が印加される。また電源端子Eからの電圧5Vは抵抗R1、R3で分圧されたバイアス用電源電圧として第1ゲートG1に印加される。制御電圧が5Vから下がるほどドレインDとソースS間を流れる電流が減るので減衰率が高まる。その減衰特性は図4の制御電圧（V）ー出力レベル（dBm）（入力ー10dBm）測定図のようにリニアリティー（直線性）が比較的に良い。

【0003】

【発明が解決しようとする課題】しかしながら、図3に示す減衰量のリニアリティーが良好である従来のレベルアッテネータは、0dBmの高入力に耐えることができない。実際のところ図4に示す測定は入力ー10dBmの測定例である。

【0004】

【課題を解決するための手段】上記従来技術の課題を解決するために本発明は、高周波信号を入力する第1ゲート端子と制御電圧を印加する第2ゲート端子と当該制御電圧に基いて減衰される前記高周波信号を出力するドレイン端子とを有するデュアルゲートFETで構成したレベルアッテネータにおいて、前記デュアルゲートFETを2個具備し、第1ゲート端子同士及び第2ゲート端子同士、さらにドレイン端子同士を接続した両デュアルゲ

ートFET同士のパラレル接続で構成した。

【0005】

【発明の実施の形態】図1に本発明の実施形態を示し、従来技術図3と同一である場合にはその説明は省略する。図1に示すように本発明においてはデュアルゲートFETを2個用いてこれをパラレル（並列）に接続するもので、図1ではデュアルゲートFET1に対しデュアルゲートFET2をパラレル接続している。すなわち、両FET1、2の第1ゲートG1同士を接続し入力端子Aからの高周波信号はそれぞれ抵抗R5、R6を介して両第1ゲートG1に入力される。同様に、第2ゲートG2同士を接続し制御端子Bから制御電圧（0～5V）を両第2ゲートG2に印加するようしている。両FET1、2のドレイン同士も接続しコンデンサC2を介して出力端子Eに接続する。また両FET1、2のソースS同士も接続し抵抗R4、コンデンサC5を兼用するようになり更なる低コスト化に努めた。電源電圧5Vについても電源端子Eは負荷（コイルL2、抵抗R2）を介して両ドレインDの接続し両ドレインDに印加される。同様に抵抗R1、R3で分圧したバイアス用電源電圧も両第1ゲートG1に印加される。

【0006】この図1に示すレベルアッテネータについて制御電圧（V）ー出力レベル（dBm）を測定した図が図2である。図2は入力0dBmの高入力（50オーム）で行っている。図2には示していないが制御電圧1.2V以下の出力レベルは、制御電圧1.0Vでー33dBm、0.5Vでー43dBm、0Vでー57dBmであった。このように測定結果図2（本発明）と図4（従来例）の比較から明らかのように本発明に基くレベルアッテネータは挿入損失が少なく、減衰量が40dBm以上も得られ、減衰量のリニアリティー（直線性）も良好で制御電圧を変化させても入出力特性が変わらない。またこのように優れた特性を有するレベルアッテネータがデュアルゲートFET2個のパラレル接続で構成できるので本発明は極めて安価に実施できる。

【0007】

【発明の効果】本発明のレベルアッテネータは高周波信号の高入力に耐えることができ、挿入損失が少なく、高い減衰量を容易に得ることができ、出力のリニアリティー（直線性）が良好で制御電圧の変化に対して入出力特性が変わらず、しかも安価に構成できるという利点を有する。

【図面の簡単な説明】

【図1】本発明のデュアルゲートFETを用いたレベルアッテネータの図。

【図2】本発明のレベルアッテネータの制御電圧（V）ー出力レベル（dBm）（入力0dBm）測定図。

【図3】従来のデュアルゲートFETを用いたレベルアッテネータの図。

【図4】従来のレベルアッテネータの制御電圧（V）ー

3

出力レベル (dBm) (入力-10 dBm) 測定図。

【符号の説明】

A : 入力端子 (入力 50 オーム) B : 制御端子 E :
電源端子
F : 出力端子 (出力 50 オーム)

4

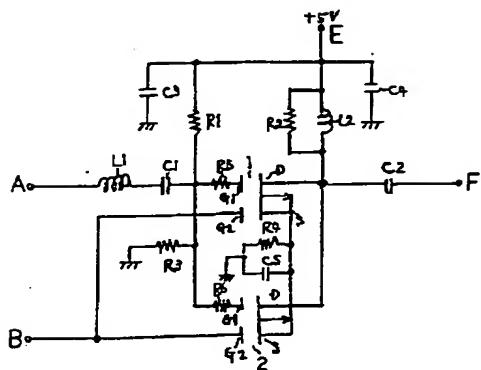
G1 : 第1ゲート G2 : 第2ゲート D : ドレイン

S : ソース

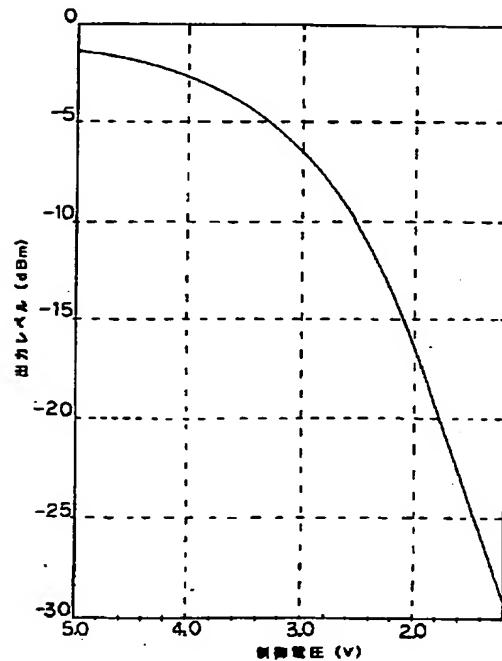
1, 2 : デュアルゲート FET

C1~C5 : コンデンサー L1, L2 : コイル R1~
R6 : 抵抗

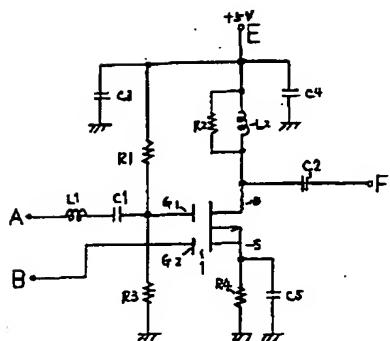
【図 1】



【図 2】



【図 3】



【図4】

